

DIGITAL APPARATUS

Patent Number: JP1124014

Publication date: 1989-05-16

Inventor(s): TSUDA SUSUMU

Applicant(s):: SHARP CORP

Requested Patent: JP1124014

Application Number: JP19870283663 19871110

Priority Number(s):

IPC Classification: G06F1/04

EC Classification:

Equivalents:

Abstract

PURPOSE:To reduce noise, to suppress unnecessary radiation and to improve the stability of a circuit by generating a sine wave, applying the side wave to a digital circuit as a reference clock and converting the sine wave into a square clock on the digital circuit side.

CONSTITUTION:A reference clock generating circuit 1 is provided with a sine wave oscillating circuit 3 for outputting a sine wave to the digital circuit 2 as a reference clock. In the digital circuit 2, a waveform shaping circuit for slicing the sine wave at a prescribed level and forming clocks consisting of square waves is connected to the input part of the reference clock. Consequently, the sine wave reduced at its higher harmonic component is applied to the digital circuit 2 as the reference clock noise is reduced, unnecessary radiation in a clock signal line can be reduced, and the stability of the circuit can be improved.

Data supplied from the esp@cenet database - I2

⑫公開特許公報(A)

平1-124014

⑤Int.Cl.

G 06 F 1/04

識別記号

庁内整理番号

⑬公開 平成1年(1989)5月16日

7459-5B

審査請求 未請求 発明の数 1 (全3頁)

④発明の名称 デジタル機器

②特 願 昭62-283663

②出 願 昭62(1987)11月10日

⑦発明者 津田 進 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社

内

⑦出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑦代理人 弁理士 岡田 和秀

明細書

1、発明の名称

デジタル機器

2、特許請求の範囲

(1) 基本クロックを発生する基本クロック発生回路と、この基本クロック発生回路からの基本クロックが与えられるデジタル回路とを備えるデジタル機器において、

前記基本クロック発生回路は、正弦波を発生して前記基本クロックとしてデジタル回路に出力する正弦波発振回路を備え、

前記デジタル回路には、基本クロックの入力部に、前記正弦波を所定のレベルでスライスして方形波のクロックとする波形整形回路が設けられることを特徴とするデジタル機器。

3、発明の詳細な説明

<技術分野>

本発明は、パーソナルコンピュータやゲーム機などの各種のデジタル機器に関し、特に、その基本クロックに関する。

<従来技術>

一般に、デジタル機器においては、基本クロックとして方形波が使用されており、この方形波がクロック信号ラインを介してデジタル回路に与えられる。ところが、方形波は、第4図の周波数スペクトルに示されるように、基本波に対して高調波成分が多く含まれているために、不要輻射源となって他の信号ラインや他の機器に影響を与えて回路を誤動作させたり、テレビ画面やラジオ等にノイズを発生させるなどの難点がある。

<発明の目的>

本発明は、上述の点に鑑みて為されたものであって、ノイズを少なくして不要輻射を抑制し、回路の安定性を向上させることを目的とする。

<発明の構成>

本発明では、上述の目的を達成するために、基本クロックを発生する基本クロック発生回路と、この基本クロック発生回路からの基本クロックが与えられるデジタル回路とを備えるデジタル機器において、前記基本クロック発生回路は、正弦波

を発生して前記基本クロックとしてデジタル回路に出力する正弦波発振回路を備え、前記デジタル回路には、基本クロックの入力部に、前記正弦波を所定のレベルでスライスして方形波のクロックとする波形整形回路が設けられている。

上記構成によれば、高調波成分の少ない正弦波が基本クロックとされてデジタル回路に与えられることになる。

<実施例>

以下、図面によって本発明の実施例について詳細に説明する。第1図は、本発明の一実施例の概略構成図である。

この実施例のデジタル機器は、基本クロックを発生する基本クロック発生回路1と、この基本クロックが与えられるデジタル回路2とを備えている。

基本クロック発生回路1は、基本クロックとして正弦波を発生する正弦波発振回路3と、この正弦波の直流分をカットするコンデンサCとから成り、直流分のカットされた正弦波を基本クロック

としてクロック信号ライン4を介してデジタル回路2に与える。

デジタル回路2は、基本クロックの入力部に、正弦波を所定のレベルでスライスして方形波のクロックとする波形整形回路としてのインバータ5と、このインバータ5からのクロックが与えられるデジタルIC6とを備えている。Rは、バイアス抵抗であり、基本クロック発生回路1からの直流分のカットされた正弦波に所定のバイアス電圧を与える。なお、第1図においては、信号波形を併せて示している。

本発明のデジタル機器においては、基本クロック発生回路1で第3図の周波数スペクトルに示されるように高調波成分の少ない正弦波を発生し、この正弦波を基本クロックとしてデジタル回路2に与え、デジタル回路2側で方形波のクロックとしている。

したがって、高調波成分の多い方形波を基本クロックとしてデジタル回路に与える従来例に比べてノイズが少なくなり、クロック信号ライン4に

-3-

おける不要輻射が低減されて回路の安定性が向上することになる。

第2図は、本発明の他の実施例の構成図であり、第1図の実施例に対応する部分には、同一の参照符を付す。

上述の実施例では、デジタル回路2側で正弦波にバイアス電圧を付与したけれども、この実施例は、基本クロック発生回路1a側で所定のバイアス電圧を与えて基本クロックとし、デジタル回路2aに与えるようにしている。なお、R1, R2はバイアス抵抗である。その他の構成は、上述の実施例と同様である。

<発明の効果>

以上のように本発明によれば、正弦波を発生し、この正弦波を基本クロックとしてデジタル回路に与え、デジタル回路側で方形波のクロックとするようしているので、高調波成分を多く含む方形波を基本クロックとしてデジタル回路に与える従来例に比べてノイズが少なくなり、不要輻射が抑制されて回路の安定性が向上することになる。

-4-

4、図面の簡単な説明

第1図は本発明の一実施例の概略構成図、第2図は他の実施例の概略構成図、第3図は正弦波の周波数スペクトル、第4図は方形波の周波数スペクトルである。

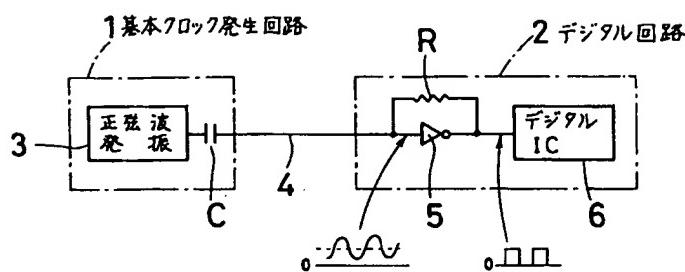
1…基本クロック発生回路、2…デジタル回路、
3…正弦波発振回路、5…インバータ。

出願人 シャープ株式会社

代理人 弁理士 岡田和秀

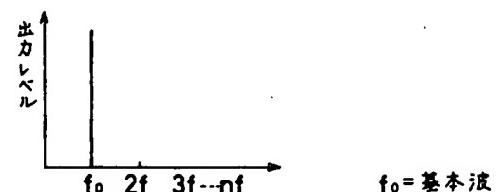
第 1 図

(本発明の一実施例の概略構成図)



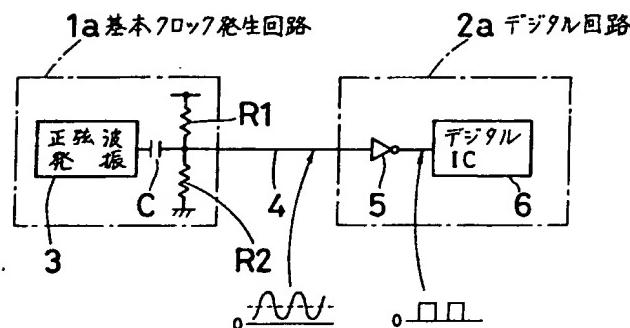
第 3 図

(正弦波の周波数スペクトル)



第 2 図

(本発明の他の実施例の概略構成図)



第 4 図

(方形波の周波数スペクトル)

